

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: July 30, 2003

Application Number: No. 2003-282845
[ST.10/C] : [JP 2003-282845]

Applicant(s) MITSUMI ELECTRIC CO., LTD.

January 7, 2004

Commissioner,
Japan Patent Office Yasuo Imai (Seal)

Certificate No.2003-3109234

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月30日
Date of Application:

出願番号 特願2003-282845
Application Number:

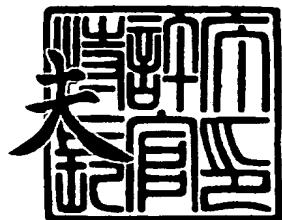
[ST. 10/C] : [JP2003-282845]

出願人 ミツミ電機株式会社
Applicant(s):

2004年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 07X12549-0
【提出日】 平成15年 7月30日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03F 1/26
【発明者】
【住所又は居所】 神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内
【氏名】 稲垣 靖彦
【特許出願人】
【識別番号】 000006220
【氏名又は名称】 ミツミ電機株式会社
【代理人】
【識別番号】 100070150
【弁理士】
【氏名又は名称】 伊東 忠彦
【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項 1】**

入力電圧に応じて出力電圧を生成する電圧生成回路において、
前記入力電圧に直列に挿入された抵抗回路と、
前記抵抗回路とともにフィルタを構成するキャパシタと、
前記入力電圧の立ち上がり及び／又は立ち下がりをデジタル処理により遅延出力する
デジタル遅延回路と、
前記デジタル遅延回路の遅延出力に応じて前記抵抗回路を構成する抵抗のうち所定の
抵抗をバイパスさせるバイパス回路とを有することを特徴とする電圧生成回路。

【請求項 2】

前記抵抗回路は、複数の抵抗を直列に接続した構成とされ、
前記バイパス回路は、前記複数の抵抗のうちバイパスさせる所定の抵抗に並列に接続され、前記デジタル遅延回路の遅延出力に応じてスイッチングするスイッチを有することを特徴とする請求項 1 記載の電圧生成回路。

【請求項 3】

前記バイパス回路は、前記デジタル遅延回路の遅延出力が、前記入力電圧が立ち下がっている期間に相当する期間、前記抵抗回路のうち所定の抵抗をバイパスさせることを特徴とする請求項 1 又は 2 記載の電圧生成回路。

【請求項 4】

前記バイパス回路は、前記抵抗回路のうち複数の抵抗を異なる遅延時間を有する複数の
デジタル遅延回路の遅延出力に応じてバイパスさせることにより、所望の立ち上がりを可能としたことを特徴とする請求項 1 乃至 3 のいずれか一項記載の電圧生成回路。

【書類名】明細書

【発明の名称】電圧生成回路

【技術分野】

【0001】

本発明は電圧生成回路に係り、特に、入力電圧に応じて出力電圧を生成する電圧生成回路に関する。

【背景技術】

【0002】

従来のよりオーディオ信号を増幅して、ヘッドフォンやスピーカなどに出力するオーディオアンプ回路が知られている。

【0003】

このようなオーディオアンプ回路には、電源の投入時や切断時のノイズをカットするためにシャットダウン機能及びミュート機能が内蔵されている。

【0004】

図6はオーディオアンプ回路のブロック構成図を示す。

【0005】

オーディオアンプ回路101の入力端子Tinには、信号源102から直流カット用のコンデンサC41を介して入力信号が供給される。入力端子Tinに供給された入力信号は、増幅回路111に供給される。増幅回路111は、差動増幅回路121、入力抵抗R31、帰還抵抗R32、スイッチ122から構成されており、基準電圧生成回路112から基準電圧が印加され、反転増幅回路を構成する。

【0006】

増幅回路111は、基準電圧生成回路112からの基準電圧と入力端子Tinに供給された入力信号との差に応じた信号を出力する。増幅回路111で増幅された信号は、出力端子Toutから出力され、スピーカ103を駆動する。

【0007】

スイッチ122は、入力抵抗R31と帰還抵抗R32との接続点と差動増幅回路121の反転入力端子との間に設けられており、制御端子Tcnt1にコントローラ104から供給されるミュート信号に応じてスイッチングされる。スイッチ122は、ミュート信号がハイレベルのときには、入力抵抗R31と帰還抵抗R32との接続点と差動増幅回路121の反転入力端子とを短絡状態として、入力信号が反転増幅されて、出力端子Toutから出力されるようとする。

【0008】

また、スイッチ122は、ミュート信号がローレベルのときには、差動増幅回路121の出力と反転入力端子とを短絡状態として、入力信号が出力端子Toutから出力されないようにする。このように、コントローラ104から制御端子Tcnt1に供給されるミュート信号に応じてスイッチ122がスイッチングされ、入力信号の差動増幅回路121への供給が制御され、ミュート機能が制御される。

【0009】

また、基準電圧生成回路112は、スイッチ131、抵抗R41、R42、コンデンサC51から構成される。基準電圧生成回路112には、定電圧Vddが印加されている。定電圧Vddは、スイッチ131を介して抵抗R41、R42から構成される直列回路に印加される。スイッチ131は、コントローラ104から制御端子Tcnt2に供給されるシャットダウン信号がハイレベルのときにはオンし、定電圧Vddを抵抗R41、R42から構成される直列回路に印加し、シャットダウン信号がローレベルのときにはオフし、抵抗R41、R42から構成される直列回路への定電圧Vddの印加を停止させる。

【0010】

抵抗R41、R42は、スイッチ131がオンのときに定電圧Vddを分圧して、基準電圧を生成し、差動増幅回路121の非反転入力端子に供給する。これにより、増幅回路111が動作状態となる。このとき、抵抗R41と抵抗R42との接続点には、端子Tcが接続され

ており、また、この端子Tcには、コンデンサC51が外付けされている。端子Tcに接続されたコンデンサC51により基準電圧のリップルが吸収される。

【0011】

図7はオーディオアンプ回路101の動作説明図を示す。図7(A)はコントローラ104から出力されるシャットダウン信号、図7(B)はスイッチ131のスイッチング状態、図7(C)は差動増幅回路121に供給される基準電圧、図7(D)はコントローラ104から出力されるミュート信号、図7(E)はスイッチ122のスイッチング状態を示す。

【0012】

図7(A)に示すように時刻t20でシャットダウン信号がローレベルからハイレベルになると、図7(B)に示すようにスイッチ131がオンする。スイッチ131がオンすることにより、抵抗R41、R42により基準電圧が生成される。このとき、図7(C)に示すように外付けコンデンサC51により基準電圧は徐々に立ち上がり、時刻t11で所定のレベルになる。時刻t11で基準電圧が所定レベルに達すると、差動増幅回路121のシャットダウン状態が解除され、動作状態となる。

【0013】

コントローラ104は、シャットダウン信号をハイレベルにしてからの時間をカウントしており、予め設定された所定時間経過した時刻t12で図7(D)に示すようにミュート信号を出力する。ミュート信号により図7(E)に示すように増幅回路111のスイッチ122がオンし、入力信号のミュート状態が解除されると、入力信号が増幅回路111で増幅され、スピーカ103に供給される。

【0014】

このように、従来はコントローラ104からのシャットダウン信号に基づいて、基準電圧生成回路112での基準電圧の生成が制御され、増幅回路111の動作が制御され、シャットダウン機能が制御され、また、コントローラ104からのミュート信号に基づいて、増幅回路111のミュート機能が制御されている。

【0015】

例えば、スタンバイ信号に応じて増幅回路の基準電圧の生成を制御するオーディオアンプ回路が提案されている（特許文献1参照）。

【0016】

【特許文献1】U.S.P.5,642,074号（図2）

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかるに、従来のオーディオアンプ回路では、基準電圧はリップル吸収用のコンデンサC51によりシャットダウン信号に対して遅延して立ち上がっていた。

【0018】

このため、立ち上がりまでの速度が遅く、音声の出力が遅延するなどの問題点があった。

【0019】

本発明は上記の点に鑑みてなされたもので、所望の立ち上がりの出力電圧を生成できる電圧生成回路を提供することを目的とする。

【課題を解決するための手段】

【0020】

本発明は、入力電圧に応じて出力電圧を生成する電圧生成回路において、前記入力電圧に直列に挿入された抵抗回路（R24；R24a、R24b）と、前記抵抗回路（R24；R24a、R24b）とともにフィルタを構成するキャパシタ（C2）と、前記入力電圧の立ち上がり及び／又は立ち下がりをデジタル処理により遅延出力するデジタル遅延回路（42；81）と、前記デジタル遅延回路（42；81）の遅延出力に応じて前記抵抗回路（R24；R24a、R24b）を構成する抵抗のうち所定の抵抗をバイパスさせるバイパス回路（5

2 ; 52a、52b)とを有することを特徴とする。

【0021】

また、本発明は、前記抵抗回路を、複数の抵抗（R23、R24；R24a、R24b）を直列に接続した構成とし、前記バイパス回路は、前記複数の抵抗（R23、R24；R24a、R24b）のうちバイパスさせる所定の抵抗（R24；R24a、R24b）に並列に接続され、前記デジタル遅延回路（42；82）の遅延出力に応じてスイッチングするスイッチ（Q1、Q2）を有することを特徴とする。

【0022】

さらに、本発明は、前記デジタル遅延回路（42；82）の遅延出力が、前記入力電圧が立ち下がっている期間に相当する期間、前記抵抗回路のうち所定の抵抗をバイパスさせることを特徴とする。

【0023】

また、本発明は、前記抵抗回路のうち複数の抵抗（R24a、R24b）を前記デジタル遅延回路（82）の異なる遅延出力でバイパスさせることにより、所望の立ち上がりを可能としたことを特徴とする。

【0024】

なお、上記参照符号はあくまでも参考であり、これによって特許請求の範囲が限定されるものではない。

【発明の効果】

【0025】

本発明によれば、入力電圧に直列に挿入された抵抗回路（R23、R24；R24a、R24b）と、抵抗回路（R23、R24；R24a、R24b）とともにフィルタを構成するキャパシタ（C2）と、入力電圧の立ち上がり及び／又は立ち下がりをデジタル処理により遅延出力するデジタル遅延回路（42；82）と、デジタル遅延回路（42；82）の遅延出力に応じて抵抗回路（R23、R24；R24a、R24b）を構成する抵抗のうち所定の抵抗（R24；R24a、R24b）をバイパスさせるバイパス回路（52；52a、52b）とを設け、立ち上がり時に抵抗（R24；R24a、R24b）をバイパスさせることにより、生成電圧の立ち上がりを調整できる。このため、例えば、後段の回路（21、31）の特性に合わせて、電圧を立ち上げることができるため、後段回路（21、31）を高速、かつ、ショックなく起動できるなどの特長を有する。

【発明を実施するための最良の形態】

【0026】

図1は本発明の一実施例のブロック構成図を示す。

【0027】

本実施例の信号出力回路1は、1チップの半導体集積回路から構成され、增幅回路11、12、機能制御回路13が搭載された構成とされ、外部端子として、入力端子Tin、出力端子Tout-、Tout+、端子Tsd、Tcを有する構成とされている。入力端子Tinには、信号源2からコンデンサC1を介して入力信号が供給される。端子Tsdには、コントローラ4からシャットダウン信号が供給される。また、反転出力端子Tout-と非反転出力端子Tout+との間には、スピーカ3が接続される。さらに、端子Tcには、コンデンサC2が接続される。

【0028】

入力端子Tinに供給された信号は、増幅回路11に供給される。増幅回路11は、抵抗R1、R2、差動増幅回路21、スイッチ回路22から構成され、反転増幅回路を構成しており、入力端子Tinに供給された入力信号を反転増幅して出力する。

【0029】

スイッチ回路22は、ミュート機能を実現するための回路であり、入力抵抗R1と帰還抵抗R2との接続点と差動増幅回路21に反転入力端子との間に接続されており、機能制御回路13から供給されるミュート信号がローレベルのときにオンし、ハイレベルのときにオフする。スイッチ回路22は、オンすると、入力抵抗R1と帰還抵抗R2との接続点

と差動増幅回路21の反転入力端子とを短絡し、入力信号が差動増幅回路21の反転入力端子に供給されるようにする。これにより、増幅回路11は、ミュートが解除され、入力信号が反転増幅される状態となる。

【0030】

スイッチ回路22は、オフすると、入力抵抗R1と帰還抵抗R2との接続点と差動増幅回路21の反転入力端子とを開放あるいは、破線で示すように、差動増幅回路21の出力端子と非反転入力端子とを短絡した状態とする。これにより、増幅回路11は入力信号をミュートした状態となる。

【0031】

増幅回路11の出力信号は、反転出力端子Tout-から出力されるとともに、増幅回路12に供給される。

【0032】

増幅回路12は、抵抗R11、R12、差動増幅回路31、スイッチ回路32から構成され、差動増幅回路を構成しており、増幅回路11から供給された信号を反転増幅して、非出力端子Tout+から出力する。

【0033】

スイッチ回路32は、ミュート機能を実現するための回路であり、入力抵抗R11と帰還抵抗R12との接続点と差動増幅回路31に反転入力端子との間に接続されており、機能制御回路13から供給されるミュート信号がローレベルのときにオンし、ハイレベルのときにオフする。スイッチ回路32は、オンすると、入力抵抗R11と帰還抵抗R12との接続点と差動増幅回路31の反転入力端子とを短絡し、入力信号が差動増幅回路31の反転入力端子に供給されるようにする。これにより、増幅回路12は、ミュートが解除され、入力信号が反転増幅される状態となる。

【0034】

スイッチ回路32は、オフすると、入力抵抗R1と帰還抵抗R2との接続点と差動増幅回路21の反転入力端子とを開放あるいは、破線で示すように、差動増幅回路21の出力端子と非反転入力端子とを短絡した状態とする。これにより、増幅回路12は入力信号をミュートした状態となる。

【0035】

増幅回路12の出力信号は、反転出力端子Tout+から出力される。

【0036】

端子Tsdには、コントローラ4からシャットダウン信号が供給されている。コントローラ4は、例えば、電源投入時にシャットダウン信号をローレベルからハイレベルに反転させる。端子Tsdにコントローラ4から供給されたシャットダウン信号は、機能制御回路13に供給される。

【0037】

機能制御回路13は、基準電圧生成回路41及び遅延回路42から構成される。基準電圧生成回路41は、シャットダウン機能を実現するための回路であり、スイッチ51、抵抗R21～R24、バイパス回路52から構成されている。また、基準電圧生成回路41には、端子TcにコンデンサC2が外付けされる。

【0038】

スイッチ51は、シャットダウン信号がハイレベルのときにオンし、ローレベルのときにオフする。スイッチ51がオンすると、定電圧Vddが抵抗R21、R22からなる直列回路に印加される。抵抗R21、R22には、定電圧Vddを抵抗R21と抵抗R22とで分圧した電圧を抵抗R21と抵抗R22との接続点から出力する。

【0039】

抵抗R21と抵抗R22との接続点は、抵抗R23、R24からなる直列回路を介して増幅回路11の差動増幅回路21及び増幅回路12の差動増幅回路31の非反転入力端子に接続される。抵抗R24と、増幅回路11の差動増幅回路21及び増幅回路12の差動増幅回路31の非反転入力端子との接続点は、端子Tcに接続されている。

【0040】

端子Tcに外付けされたコンデンサC2は、增幅回路11の差動增幅回路21及び増幅回路12の差動增幅回路31の非反転入力端子に印加される基準電圧のリップルを吸収する。

【0041】

スイッチ51がオンすると、抵抗R23、R24及びコンデンサC2により決定される時定数だけ遅延して、差動增幅回路21の非反転入力端子及び差動增幅回路31の非反転入力端子の印加電圧が立ち上がる。よって、増幅回路11、12の起動が遅延する。そこで、増幅回路11、12の起動を速くするために、スイッチ51がオンするときに、抵抗R24をバイパスするバイパス回路52を設けている。

【0042】

バイパス回路52は、CMOS (complementary metal oxide semiconductor) 構造とされたMOS電界効果トランジスタQ1及びQ2並びにインバータ61から構成され、抵抗R24をバイパスする伝達経路を形成するトランスマネージメントゲートを構成している。MOS電界効果トランジスタQ1及びQ2は、ゲートに遅延回路42の出力が印加されており、遅延回路42の出力がローレベルのとき共にオンし、遅延回路42の出力が所定時間遅延してハイレベルになったとき、オフする。

【0043】

このため、バイパス回路52は、シャットダウン信号が立ち上がり、スイッチ51がオンした状態では、オンし、抵抗R24をバイパスしており、シャットダウン信号が立ち上がってから所定時間、遅延した後に、オフし、抵抗R24のバイパスを解除する。抵抗R24がバイパス回路52によりバイパスされることにより、抵抗が小さくなるので、端子Tcに接続されたコンデンサC2の充電電流が大きくなり、コンデンサC2が高速で充電される。よって、差動增幅回路21の非反転入力端子及び差動增幅回路31の非反転入力端子への印加電圧の立ち上がりが速くなり、増幅回路11、12を早く動作させることができる。

【0044】

なお、遅延回路42は、ミュート機能を制御するための回路であり、シャットダウン信号を所定に遅延時間だけ遅延させ、ミュート信号として出力する。所定の遅延時間は、シャットダウン信号に応じて増幅回路11、12が起動してから増幅回路11、12が確実に動作するまでに要する時間に設定されている。

【0045】

図2は遅延回路42のブロック構成図を示す。

【0046】

遅延回路42は、発振回路71、インバータ72、フリップフロップ73-1～73-nから構成されたロジックタイマから構成されている。

【0047】

発振回路71は、シャットダウン制御端子Tsdに供給されるシャットダウン信号がローレベルからハイレベルになると、起動して発振を開始し、発振出力をインバータ72及びフリップフロップ73-1に供給する。インバータ72は、発振回路71の発振出力を反転出力する。

【0048】

フリップフロップ73-1～73-nは、Dフリップフロップから構成されており、リセット端子Rには、シャットダウン信号が供給され、シャットダウン信号により出力Qがローレベルにリセットされる。フリップフロップ73-1は、クロック端子Cに発振回路71の発振出力が供給され、反転クロック端子NCにインバータ72により反転された反転発振出力が供給され、データ端子Dには、反転出力端子NQが接続されている。また、反転出力端子NCは次段のフリップフロップ73-2のクロック端子Cに接続され、非反転出力端子Qは反転クロック端子NCに接続されている。

【0049】

以上フリップフロップ73-1、73-2の接続をn個のフリップフロップ73-1～73-nに対して行う。これにより、いわゆる、アップカウンタを構成している。最終段のフリップフロップ73-nの非反転出力端子Qから出力は、シャットダウン信号の立ち上がりから発振回路71の発振出力をnの2乗回カウントアップした後に、ハイレベルに立ち上がる。これによって、シャットダウン信号を遅延した出力が得られる。

【0050】

このように、遅延回路42をロジックタイマで構成することにより、コンデンサなどを用いて遅延時間を設定する場合に比べて、正確に遅延時間を設定できる。

【0051】

なお、本実施例では、遅延回路42をロジックタイマで構成したが、これに限定されるものではなく、デジタル処理により遅延させる構成の遅延回路であればよい。

【0052】

次に本実施例の動作を説明する。

【0053】

図3は本発明の一実施例の動作説明図を示す。図3(A)はコントローラ4から端子Tsdに供給されるシャットダウン信号、図3(B)はスイッチ51のスイッチング状態、図3(C)は差動增幅回路21、31の非反転入力端子に印加される基準電圧、図3(D)は遅延回路42の出力、図3(E)はスイッチ22、32のスイッチング状態を示す。

【0054】

図3(A)に示すように時刻t0でシャットダウン信号がローレベルからハイレベルになると、図3(B)に示すようにスイッチ51がオンする。このとき、バイパス回路52がオン状態であるため、外付けコンデンサC2が急速に充電され、時刻t1で差動增幅回路21、31の非反転入力端子に所定の基準電圧が印加される。

【0055】

その後、時刻t0から所定の遅延時間△T経過した時刻t2(>t1)で、遅延回路42の出力がハイレベルに立ち上がり、スイッチ22、32がオンする。スイッチ22、32がオンすることにより、ミュートが解除され、入力信号が増幅回路11、12で増幅され、スピーカ3に供給される。

【0056】

本実施例によれば、端子Tsdからシャットダウン信号を供給するだけで、シャットダウン状態の解除後、ミュート状態を解除できるため、外部端子数を低減できる。また、コントローラ4はシャットダウン信号だけを生成すればよいので、コントローラ4の処理負担を低減できる。

【0057】

また、シャットダウン信号を遅延させることによりミュート状態を制御するミュート信号を生成することにより、シャットダウン状態の解除が終了した後にミュート状態の解除することができる。このため、差動增幅回路21、31の起動前は入力信号をミュート状態にすることができる、差動增幅回路21、31の起動時の出力の大幅な変動を防止でき、スムーズな起動が可能となる。

【0058】

なお、本実施例の基準電圧生成回路41では、単に抵抗R24をバイパスさせることにより差動增幅回路21、31の非反転入力端子に供給される基準電圧の起動時間を早める構成としたが、複数の抵抗を、タイミングを変えてバイパスさせることにより、立ち上がりの波形を設定するようにしてもよい。

【0059】

図4は機能制御回路13のブロック構成図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。

【0060】

本変形例の機能制御回路80は、基準電圧生成回路81が抵抗R24に代えて抵抗R24a、R24bを設け、バイパス回路52に代えて、抵抗R24aをバイパスさせるバイパス回路5

2a、抵抗R24bをバイパスさせるバイパス回路52bを設けた構成とされている。また、遅延回路82は、シャットダウン信号を第1の遅延時間T1だけ遅延させる遅延回路42a、シャットダウン信号を第1の遅延時間T1より長い第2の遅延時間T2(>T1)だけ遅延させる遅延回路42bから構成される。なお、遅延回路42a、42bは、図2に示す遅延回路42と同様な構成であり、D-フリップフロップの接続段数が遅延回路42aに比べて遅延回路42bが多く設定されている。

【0061】

基準電圧生成回路81を構成する抵抗R24a、R24bは、抵抗R23と端子Tcとの間に直列に接続されている。バイパス回路52aは抵抗R24aに並列に接続され、バイパス回路52bは抵抗R24bに並列に接続されている。

【0062】

バイパス回路52aは、図1に示すバイパス回路52と同様にCMOS構造によりトランスマジックゲートを構成するMOS電界効果トランジスタQ1a、Q2a、インバータ61aから構成され、遅延回路42aから供給される第1の遅延出力によりシャットダウン信号の立ち上がりから第1の遅延時間T1だけ遅延してスイッチングされる。バイパス回路52bは、図1に示すバイパス回路52と同様にCMOS構造によりトランスマジックゲートを構成するMOS電界効果トランジスタQ1b、Q2b、インバータ61bから構成され、遅延回路42bから供給される第2の遅延出力によりシャットダウン信号の立ち上がりから第1の遅延時間T1だけ遅延してスイッチングされる。

【0063】

図5は本発明の一実施例の変形例の動作説明図を示す。図5(A)はシャットダウン信号、図5(B)は遅延回路42aの遅延出力、図5(C)は遅延回路42bの遅延出力、図5(D)は端子Tcに発生する基準電圧の波形を示す。

【0064】

図5(A)に示すように時刻t20でシャットダウン信号が立ち上がりると、スイッチ51がオンする。このとき、遅延回路42a、42bの遅延出力はローレベルであるので、バイパス回路52a、52bは共にオンとなり、抵抗R24a、R24bをバイパスしてコンデンサC2が充電される。このため、図5(D)に示すように端子Tcに発生する基準電圧は急峻に立ち上がる。

【0065】

時刻t20でシャットダウン信号が立ち上がり、第1の遅延時間T1が経過した時刻t21になると、図5(B)に示すように遅延回路42aの遅延出力が立ち上がる。遅延回路42aの遅延出力が立ち上がりると、バイパス回路52aがオフする。バイパス回路52aがオフすると、抵抗R24aを通してコンデンサC2が充電されるため、図5(D)に示すように端子Tcに発生する基準電圧の立ち上がりが緩やかになる。

【0066】

時刻t20でシャットダウン信号が立ち上がり、第2の遅延時間T2が経過した時刻t22になると、図5(C)に示すように遅延回路42bの遅延出力が立ち上がる。遅延回路42bの遅延出力が立ち上がりると、バイパス回路52bがオフする。バイパス回路52bがオフすると、抵抗R24a、R24bの両方を通してコンデンサC2が充電されるため、図5(D)に示すように端子Tcに発生する基準電圧の立ち上がりがさらに緩やかになる。

【0067】

時刻t23でコンデンサC2が充電されると、図5(D)に示すように端子Tcに発生する基準電圧は一定レベルになる。

【0068】

このとき、端子Tcに発生する基準電圧は、抵抗R24a、R24b、第1の遅延時間T1、及び、第2の遅延時間T2の設定に応じて所望の立ち上がり波形に調整できる。このため、例えば、第1の遅延時間T1を第2の遅延時間T2に比べて長く設定することにより、端子Tcに発生する基準電圧の立ち上がりを、高速で、かつ、ショックを少なく立ち上がるよう設定することにより、差動增幅回路21、31を高速に立ち上げることができる

とともに、立ち上がりのショックを軽減し、ショックノイズなどが発生することなく起動できる。

【0069】

なお、本実施例では、説明を簡単にするために、2つの直列抵抗R24a、R24bをバイパスするバイパス回路52a、52bを設けることにより、3段階の立ち上がりを設定可能としたが、直列抵抗の段数を増加させ、多段の立ち上がりを設定可能としてもよい。

【0070】

また、本実施例では、直列抵抗に並列にバイパス回路を挿入するようにしたが、並列抵抗に直列にバイパス回路を挿入することにより、立ち上がりの設定を行うようにしてもよい。

【図面の簡単な説明】

【0071】

【図1】本発明の一実施例のブロック構成図である。

【図2】遅延回路42のブロック構成図である。

【図3】本発明の一実施例の動作説明図である。

【図4】機能制御回路13の変形例のブロック構成図である。

【図5】本発明の一実施例の変形例の動作説明図である。

【図6】オーディオアンプ回路のブロック構成図である。

【図7】オーディオアンプ回路の動作説明図である。

【符号の説明】

【0072】

1 信号出力回路、2 信号源、3 スピーカ、4 コントローラ

11、12 増幅回路、13 機能制御回路

21、31 差動増幅回路、22、32 スイッチ

41 基準電圧生成回路、42、42a、42b 遅延回路

51 スイッチ、52、52a、52b バイパス回路

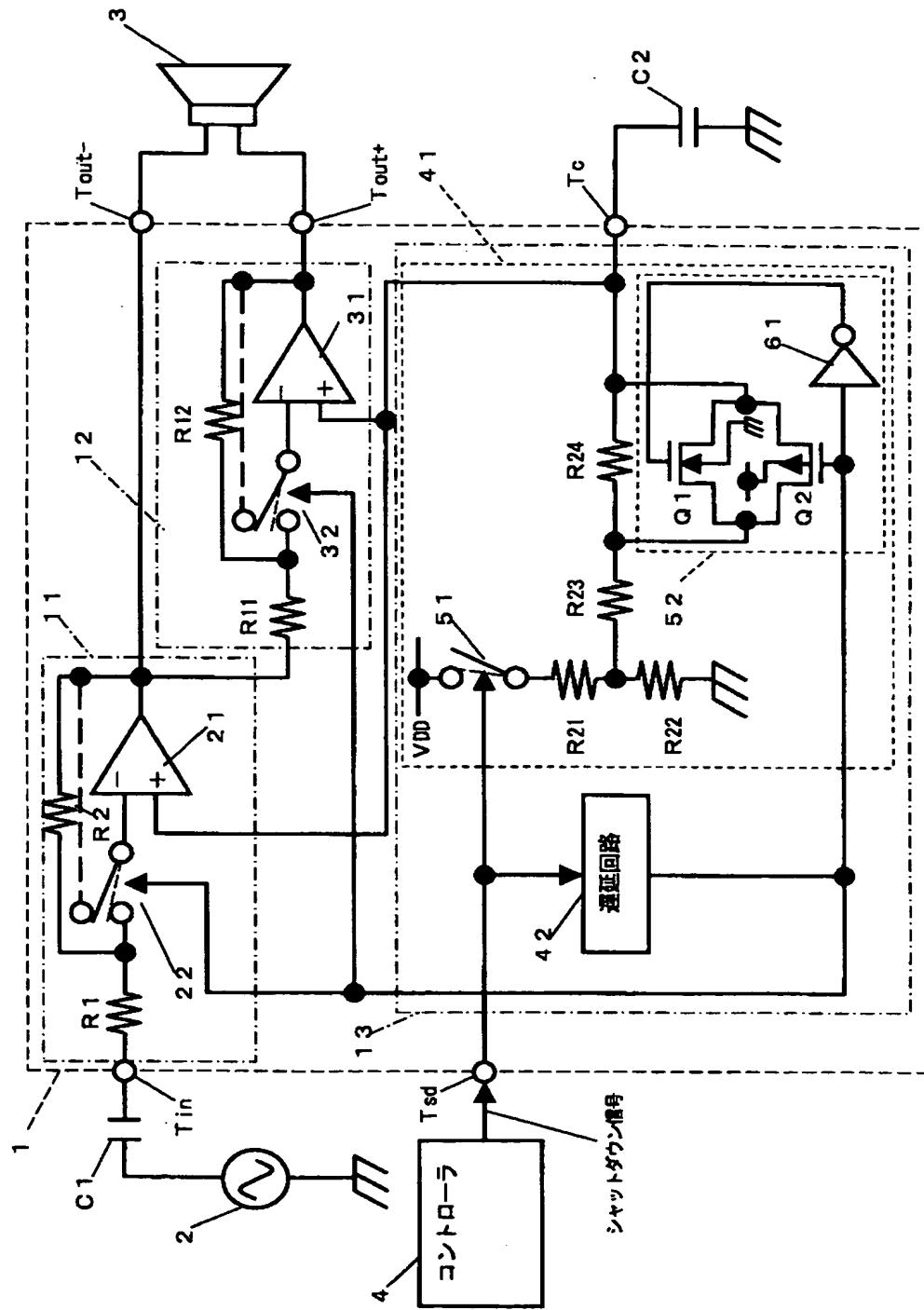
61 インバータ

71 発振回路、72 インバータ、73-1～73-n フリップフロップ

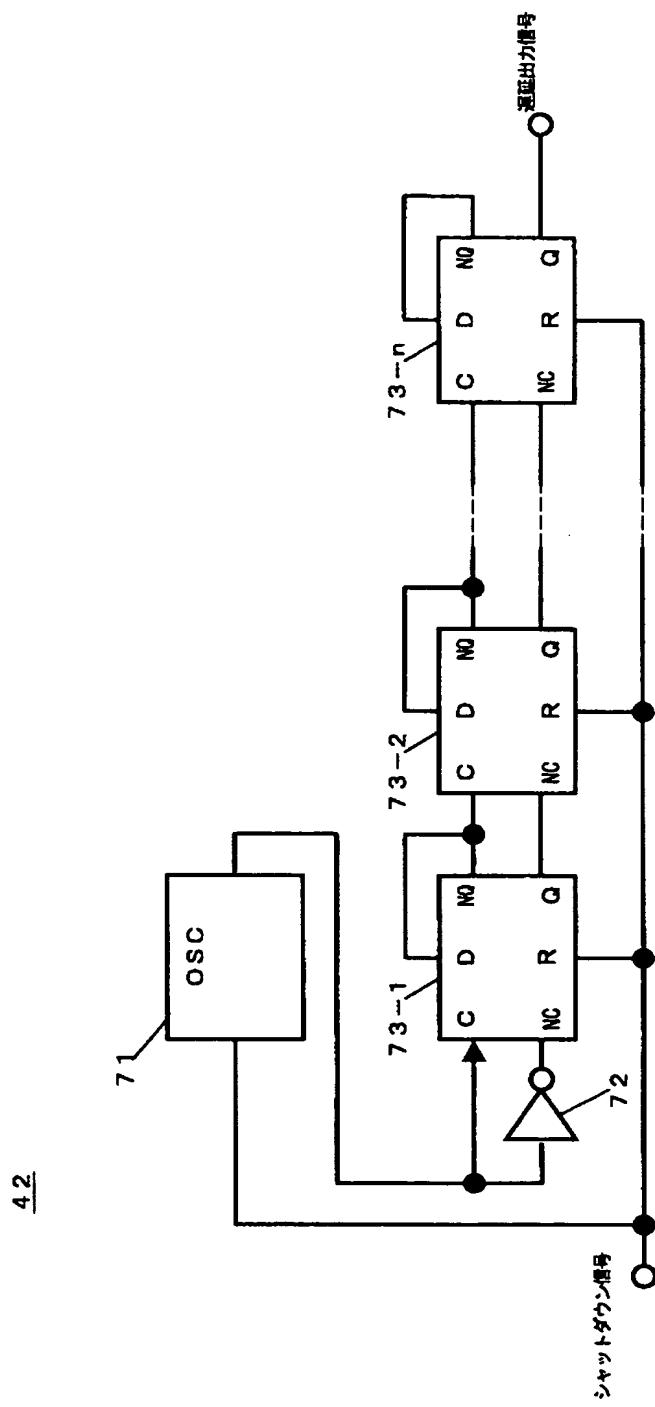
80 機能制御回路

81 基準電圧生成回路、82 遅延回路

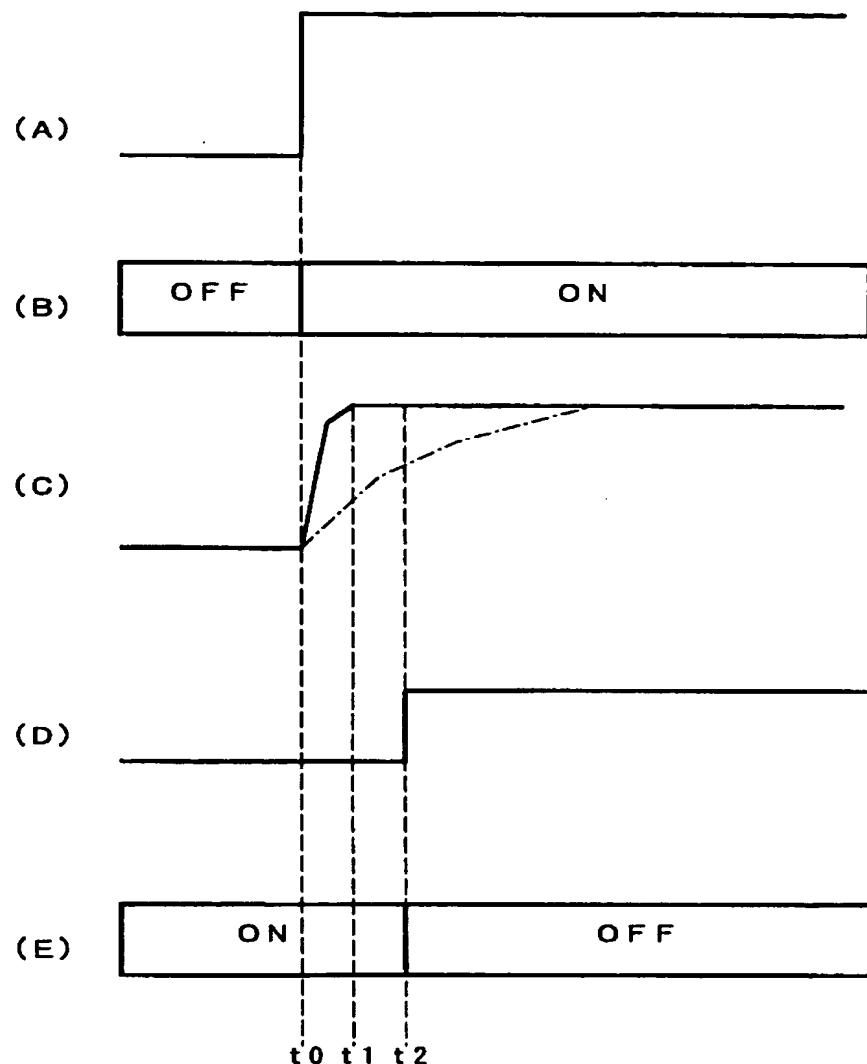
【書類名】 図面
【図1】



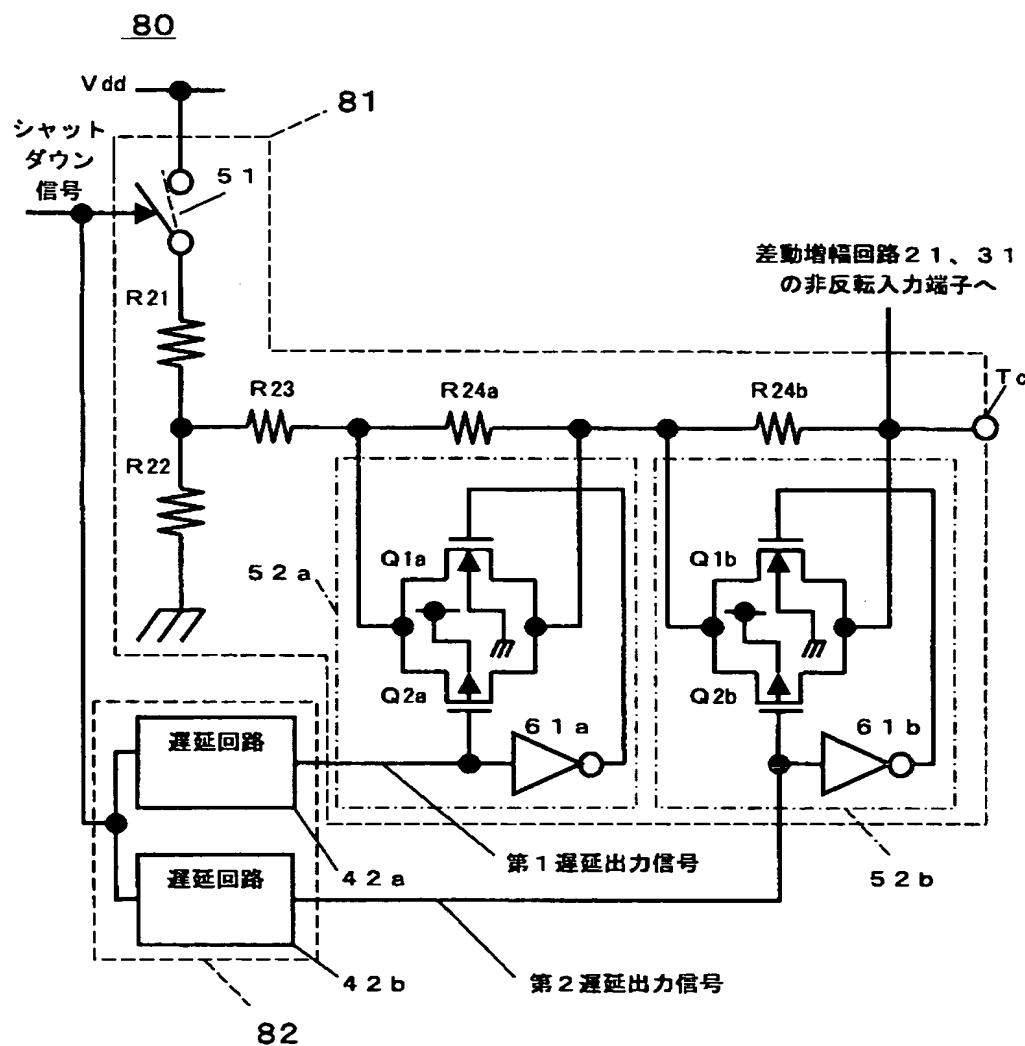
【図2】



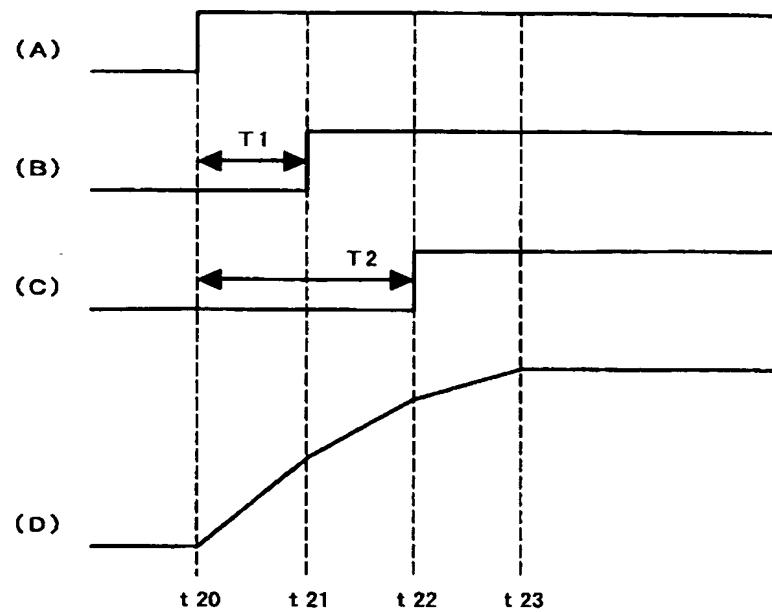
【図3】



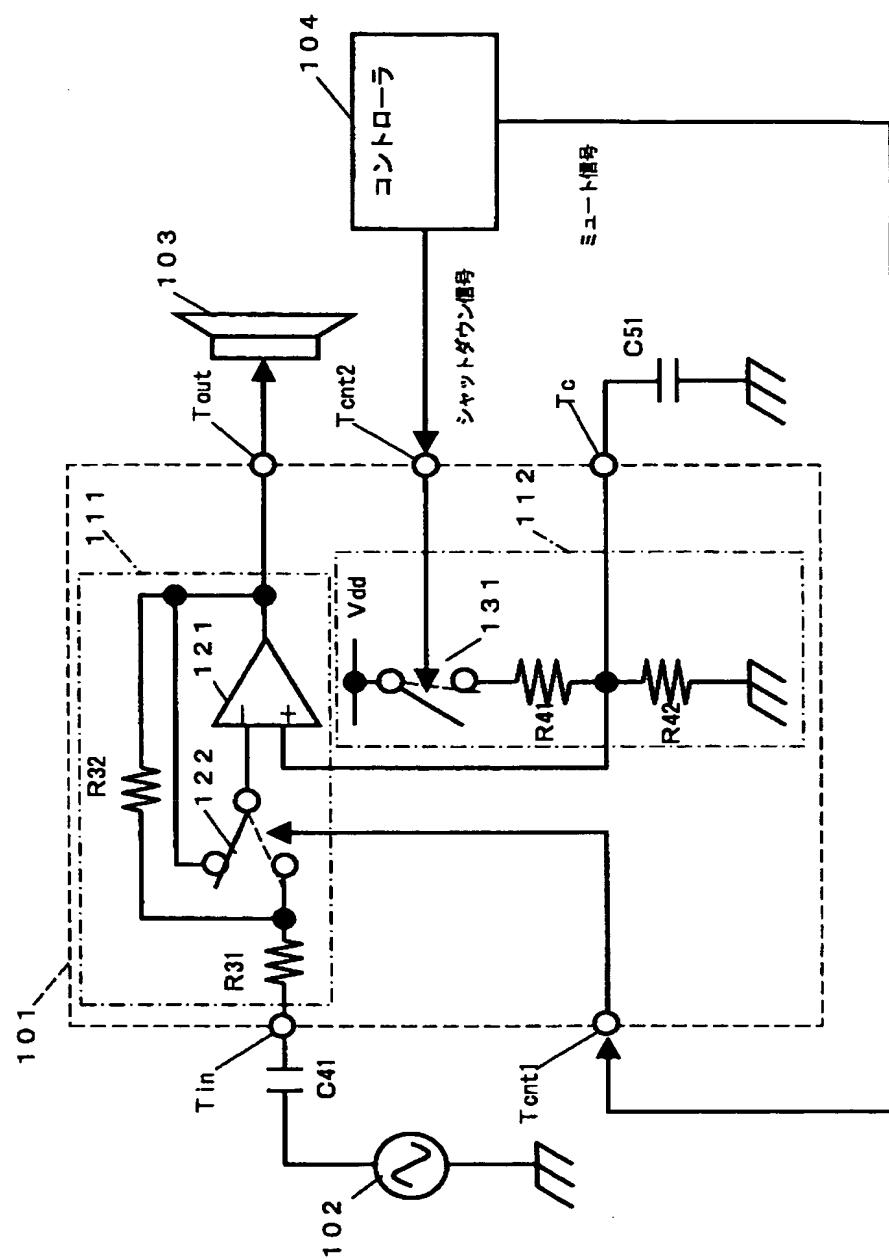
【図 4】



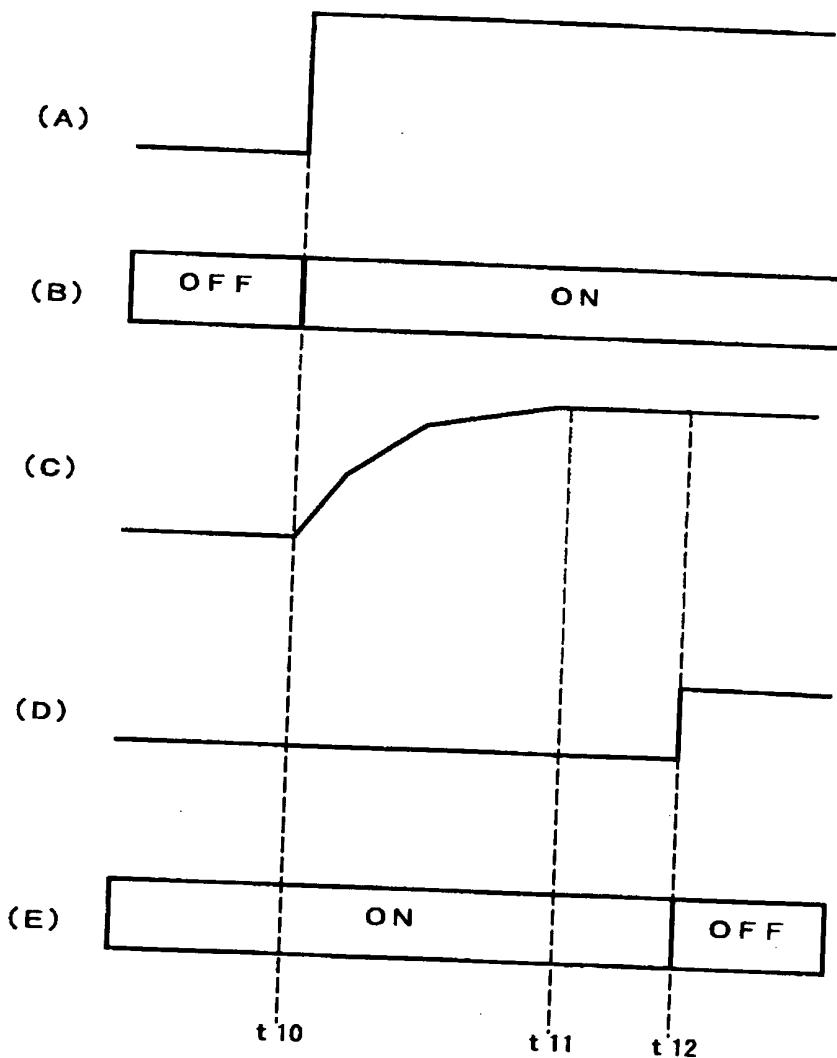
【図5】



【図6】



【図7】



【書類名】要約書

【要約】

【課題】 入力電圧に応じて出力電圧を生成する電圧生成回路に関し、所望の立ち上がりの出力電圧を生成できる電圧生成回路を提供することを目的とする。

【解決手段】 本発明は、入力電圧に応じて出力電圧を生成する電圧生成回路において、前記入力電圧に直列に挿入された抵抗回路（R23、R24）と、前記抵抗回路（R23、R24）とともにフィルタを構成するキャパシタ（C2）と、前記入力電圧の立ち上がり及び／又は立ち下がりをデジタル処理により遅延出力するデジタル遅延回路（42）と、前記デジタル遅延回路（42）の遅延出力に応じて前記抵抗回路（R23、R24）を構成する抵抗のうち所定の抵抗（R24）をバイパスさせるバイパス回路（52）とを有することを特徴とする。

【選択図】 図1

特願2003-282845

出願人履歴情報

識別番号 [000006220]

1. 変更年月日 2003年 1月 7日

[変更理由] 住所変更

住所 東京都多摩市鶴牧2丁目11番地2
氏名 ミツミ電機株式会社